

ATTORNEY DOCKET NO.: 5649-1103

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re: Im et al.

Serial No.: 10/630,116

Filed: July 30, 2003

For: **DEDICATED REDUNDANCY CIRCUITS FOR DIFFERENT OPERATIONS
IN A FLASH MEMORY DEVICE AND METHODS OF OPERATING THE
SAME**

November 25, 2003

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0055290, filed September 12, 2002.

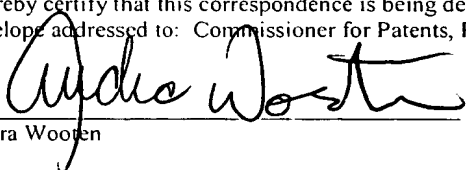
Respectfully submitted,


Robert W. Crouse
Registration No. 44,635

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No.: 20792

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an
envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on November 25, 2003.


Audra Wooten



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0055290
Application Number PATENT-2002-0055290

출원년월일 : 2002년 09월 12일
Date of Application SEP 12, 2002

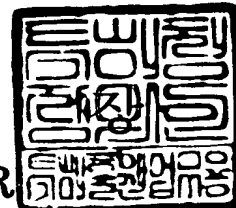
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 26 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.09.12
【발명의 명칭】	효율적인 리던던시 구제율을 갖는 반도체 메모리 장치
【발명의 영문명칭】	Semiconductor memory device having high redundancy efficiency
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	임영호
【성명의 영문표기】	LIM, YOUNG HO
【주민등록번호】	630904-1674715
【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 1161번지 삼성수지5차 512동 1201호
【국적】	KR
【발명자】	
【성명의 국문표기】	임재우
【성명의 영문표기】	IM, JAE WOO
【주민등록번호】	730420-1772419

【우편번호】 449-900
【주소】 경기도 용인시 기흥읍 농서리 7-1 월계수동 417
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 2 면 2,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 3 항 205,000 원
【합계】 236,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

효율적인 리던던시 구제율을 갖는 반도체 메모리 장치가 개시된다. 본 발명의 반도체 메모리 장치는 다수개의 뱅크들, 독출용 로우 디코더, 독출용 칼럼 디코더, 기입용 로우 디코더, 기입용 칼럼 디코더, 뱅크 비지 발생부, 독출 리던던시 정보 저장 장치, 그리고 기입 리던던시 정보 저장 장치를 포함한다. 뱅크들은 행들 및 열들로 복수개의 메모리 셀들이 배열된다. 독출용 로우 디코더와 독출용 칼럼 디코더는 뱅크들 각각에 연결되고 독출 동작시 메모리 셀들의 워드라인들과 비트라인들을 각각 선택한다. 기입용 로우 디코더와 기입용 칼럼 디코더는 뱅크들 각각에 연결되고 기입 동작시 메모리 셀들의 워드라인들과 비트라인들을 선택한다. 뱅크 비지 발생부는 뱅크들 각각의 독출 동작과 기입 동작을 지시하는 뱅크 비지 신호를 발생한다. 독출 리던던시 정보 저장 장치는 뱅크들의 독출 동작시 나타나는 불량 셀들을 리던던시 메모리 셀들로 대체하는 독출 리던던시 정보를 저장하고, 기입 리던던시 정보 저장 장치는 뱅크들의 기입 동작시 나타나는 불량 셀들을 리던던시 메모리 셀들로 대체하는 기입 리던던시 정보를 저장한다. 따라서, 본 발명의 반도체 메모리 장치는 각각의 뱅크마다 리던던시 저장 장치를 둘 필요가 없이, 독출 동작시 발생한 불량 셀들을 독출 리던던시 저장 정보 장치를 통해, 그리고 기입 동작시 발생한 불량 셀들을 기입 리던던시 저장 정보 장치를 통해 구제하기 때문에, 칩 면적이 크지 않으면서 리던던시 구제율이 높다.

【대표도】

도 3

【색인어】

플래쉬 메모리 장치, 불량 셀, 리던던시 구제, 리던던시 효율

【명세서】**【발명의 명칭】**

효율적인 리던던시 구제율을 갖는 반도체 메모리 장치{Semiconductor memory device having high redundancy efficiency}

【도면의 간단한 설명】

도 1은 종래의 듀얼 뱅크 구조의 메모리 장치를 나타내는 도면이다.

도 2는 종래의 멀티 뱅크 구조의 메모리 장치를 나타내는 도면이다.

도 3 내지 도 7은 본 발명의 일실시예에 따른 메모리 장치를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <4> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 독출 동작 불량 셀과 기입 동작 불량 셀을 구분하여 높은 리던던시 효율을 갖는 반도체 메모리 장치에 관한 것이다.
- <5> 반도체 메모리 장치의 대용량화에 따라, 메모리 셀의 밀도(density)가 높아지고 디자인 룰은 작아지고 있다. 이러한 경향은 플래쉬 메모리 장치에도 마찬가지로, 고집적화에 따라 플래쉬 메모리 셀 자체의 손상으로 인하여 불량 셀이 생길 가능성이 높아지고 있다. 불량 셀은 플래쉬 메모리 장치의 수율을 떨어뜨리는 요인이 되는 데, 불량셀을 리던던시 셀로 대체시킴으로써 수율을 향상시키는 리던던시 기술이 개발되고 있다.
- <6> 도 1은 종래의 듀얼 뱅크 구조의 플래쉬 메모리 장치를 나타내는 도면이다. 노아형 플래쉬 메모리 장치는 일반적으로 각 뱅크별로 독립적인 어드레스 체계를 갖고 있으며

이에 따라 기입 동작 동안 독출 동작(read while write)이 가능하다. 도 1의 플래쉬 메모리 장치(100)는 복수개의 메모리 셀들이 행들 및 열들로 배열된 बैं크들(101, 102), बैं크 내 메모리 셀을 어드레싱하는 로우 디코더들(111, 112)과 칼럼 디코더들(121, 122), 리턴던시 어드레스를 저장하는 리턴던시 정보 저장 장치들(131, 132), 데이터 라인 상의 메모리 셀 데이터를 센싱하는 데이터 라인 센스앰프들(141, 142), 메모리 셀로 기입할 기입 데이터를 데이터 라인으로 전달하는 기입 드라이버들(151, 152), 기입 데이터와 독출 데이터를 입출력하는 데이터 입출력 버퍼(160), 그리고 어드레스 신호들(A<21:0>)을 수신하는 어드레스 버퍼들(171, 172)를 포함한다. 플래쉬 메모리 장치(100)는 예컨대, 22개의 어드레스 신호들 (A<21:0>)을 이용하여 각 बैं크들(101, 102) 내 메모리 셀들을 어드레싱하고, 선택된 메모리 셀들의 데이터는 해당 बैं크(101, 102) 별로 16개의 बैं크 데이터 라인들(BANK0_DL<15:0>)을 통해 입출력된다.

<7> 플래쉬 메모리 장치(100)로 입력되는 어드레스 신호들(A<21:0>)은 어드레스 버퍼들(171, 172)을 통해 제1 및 제2 बैं크 어드레스들(A_BANK0<21:0>, A_BANK1<21:0>)로 나뉘어져 제1 및 제2 बैं크(101, 102)로 각각 입력된다. 제1 및 제2 बैं크 어드레스들(A_BANK0<21:0>, A_BANK1<21:0>)은 로우 어드레스들(A_BANK0<21:6>, A_BANK1<21:6>)과 칼럼 어드레스들(A_BANK0<5:0>, A_BANK1<5:0>)로 구분되고 해당 बैं크의 로우 디코더와 칼럼 디코더(111, 112, 121, 122)로 각각 입력되어 해당 बैं크내 메모리 셀을 선택한다. 제1 및 제2 बैं크(101, 102)에서 선택된 메모리 셀 데이터들은 제1 및 제2 बैं크 데이터 라인(BANK0_DL<15:0>, BANK1_DL<15:0>)을 통해 데이터 라인 센스앰프들(141, 142)로 전달된다.

- <8> 제1 및 제2 뱅크(101, 102) 내에 불량 셀이 발생한 경우, 각 뱅크(101, 102)의 불량 셀 어드레스에 해당하는 리던던시 정보가 제1 및 제2 리던던시 정보 저장 장치(131, 132)에 각각 저장된다. 예로서, 제1 및 제2 리던던시 저장 장치(131, 132) 각각에는 4개의 불량셀에 해당하는 리던던시 정보가 저장되고, 리던던시 정보에 의해 불량 셀들은 제1 및 제2 뱅크(101, 102)에 내장된 리던던시 메모리 셀들로 대체된다. 제1 및 제2 리던던시 저장 장치(131, 132)에서 출력되는 제1 및 제2 뱅크 리페어 제어 신호들(BANK0_IO_REPAIR<15:0>, BANK1_IO_REPAIR<15:0>)에 의해 리던던시 메모리 셀 데이터들은 제1 및 제2 뱅크 데이터 라인(BANK0_DL<16>, BANK1_DL<16>)을 통해 센스 앰프(141)로 전달된다.
- <9> 그런데, 이러한 플래쉬 메모리 장치(100)에서 구제 가능한 메모리 셀의 수는 뱅크당 4개로 한정된다. 뱅크당 구제 가능한 메모리 셀 수를 증가시키기 위해 리던던시 저장 장치(131, 132) 내 리던던시 정보를 더 많이 저장할 수도 있지만, 이러한 방법은 레이아웃 면적 증가 등으로 인하여 효율적인 구제 방법이 되지 못한다.
- <10> 더욱이, 도 2와 같이, 뱅크 수가 많은 멀티 뱅크 구조를 갖는 플래쉬 메모리 장치(200)의 경우에는 예컨대, 16개의 뱅크 각각마다 리던던시 저장 장치들(231, 232, 233, 234)을 두어야 하기 때문에, 레이아웃 면적이 더욱 커지는 문제점이 발생한다. 그리고, 리던던시 저장 장치들(231, 232, 233, 234)이 해당 뱅크 내 불량 셀들만을 구제하는 방법은 다른 뱅크에 불량 셀들이 많이 발생한 경우에 리던던시 구제율이 유연하지 못한 단점이 있다.
- <11> 따라서, 레이아웃 면적을 크게 하지 않으면서 리던던시 구제율을 높일 수 있는 플래쉬 메모리 장치가 요구된다.

【발명이 이루고자 하는 기술적 과제】

- <12> 본 발명의 목적은 레이아웃 면적을 크게 하지 않으면서 효율적인 리던던시 구제율을 갖는 반도체 메모리 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

- <13> 상기 목적을 달성하기 위하여, 본 발명의 반도체 메모리 장치는 다수개의 뱅크들, 독출용 로우 디코더, 독출용 칼럼 디코더, 기입용 로우 디코더, 기입용 칼럼 디코더, 뱅크 비지 발생부, 독출 리던던시 정보 저장 장치, 그리고 기입 리던던시 정보 저장 장치를 포함한다. 뱅크들에는 행들 및 열들로 복수개의 메모리 셀들이 배열된다. 독출용 로우 디코더와 독출용 칼럼 디코더는 뱅크들 각각에 연결되고 독출 동작시 메모리 셀들의 워드라인들과 비트라인들을 각각 선택한다. 기입용 로우 디코더와 기입용 칼럼 디코더는 뱅크들 각각에 연결되고 기입 동작시 메모리 셀들의 워드라인들과 비트라인들을 선택한다. 뱅크 비지 발생부는 뱅크들 각각의 독출 동작과 기입 동작을 지시하는 뱅크 비지 신호를 발생한다. 독출 리던던시 정보 저장 장치는 뱅크들의 독출 동작시 나타나는 불량 셀들을 리던던시 메모리 셀들로 대체하는 독출 리던던시 정보를 저장하고, 기입 리던던시 정보 저장 장치는 뱅크들의 기입 동작시 나타나는 불량 셀들을 리던던시 메모리 셀들로 대체하는 기입 리던던시 정보를 저장한다.

- <14> 바람직하기로, 반도체 메모리 장치는 독출 동작시 어드레스 신호들을 입력하여 독출 어드레스 신호들을 발생하는 독출 어드레스 버퍼와, 기입 동작시 어드레스 신호들을 입력하여 기입 어드레스 신호들을 발생하는 기입 어드레스 버퍼와, 독출 어드레스 신호에 응답하여 뱅크들 중 하나를 선택하는 독출 뱅크 선택부와, 기입 어드레스 신호에 응답하여 뱅크들 중 하나를 선택하는 기입 뱅크 선택부와, 독출 동작시 선택된 뱅크 내 메

모리 셀 데이터를 감지증폭하는 센스 앰프와, 기입 동작시 선택된 बैं크 내 메모리 셀로 기입할 데이터를 전달하는 기입 드라이버와, 센스 앰프의 출력을 데이터 입출력 신호로 출력하고 데이터 입출력 핀으로 입력되는 데이터를 기입 드라이버로 전송하는 데이터 입출력 버퍼를 더 포함한다.

<15> 따라서, 본 발명의 반도체 메모리 장치는 각각의 बैं크 마다 리턴던시 저장 장치를 둘 필요가 없이, 독출 동작시 발생한 불량 셀들을 독출 리턴던시 저장 정보 장치를 통해, 그리고 기입 동작시 발생한 불량 셀들을 기입 리턴던시 저장 정보 장치를 통해 구제하기 때문에, 칩 면적이 크지 않으면서 리턴던시 구제율이 높다.

<16> 도 3은 본 발명의 일실시예에 따른 플래쉬 메모리 장치를 나타내는 도면이다. 플래쉬 메모리 장치(300)는 지면의 부족으로 인해 4개의 도면들(도 4 내지 도 7)로 나뉘어 설명된다. 플래쉬 메모리 장치(300)는 예컨대, 16개의 बैं크들(301, 302, 303, 304)로 이루어지는 멀티 बैं크 구조로 구성되고, 각 बैं크들(301, 302, 303, 304)은 독출용 로우 디코더(311, 312, 313, 314), 기입용 로우 디코더(321, 322, 323, 324), 독출용 칼럼 디코더(331, 332, 333, 334), 그리고 기입용 칼럼 디코더(341, 342, 343, 344)와 연결된다. 플래쉬 메모리 장치(300)는 독출 리턴던시 정보 저장 장치(351), 기입 리턴던시 정보 저장 장치(352), 센스 앰프(360), 기입 드라이버(370), 데이터 입출력 버퍼(380), 독출 어드레스 버퍼(390), 기입 어드레스 버퍼(400), 독출 बैं크 선택부(410), 기입 बैं크 선택부(420), 기입 제어부(430), 그리고 बैं크 비지 발생부(440)를 포함한다. 독출용 로우 디코더들(311, 312, 313, 314)과 기입용 로우 디코더(321, 322, 323, 324)는 해당 बैं크들(301, 302, 303, 304)의 독출 동작과 기입 동작시 선택되는 메모리 셀들의 워드라인들을 인에이블시킨다. 독출용 칼럼 디코더(331, 332, 333, 334)와 기입용 칼럼 디코더

(341, 342, 343, 344)는 해당 뱅크들(301, 302, 303, 304)의 독출 동작과 기입 동작시 선택되는 메모리 셀들의 비트라인들을 선택한다.

<17> 독출 리턴던시 정보 저장 장치(351)에는 각 뱅크들(301, 302, 303, 304)의 독출 동작시 발생된 불량셀에 대한 어드레스 정보가 저장된다. 기입 리턴던시 정보 저장 장치(352)에는 각 뱅크들(301, 302, 303, 304)로의 기입 동작시 발생된 불량셀에 대한 어드레스 정보가 저장된다. 센스 앰프(360)는 독출 동작시 독출 데이터 라인(READ_DL<16:0>)에 실리는 해당 뱅크의 선택된 메모리 셀 데이터를 감지 증폭하고, 기입 드라이버(370)는 기입 동작시 해당 뱅크의 선택된 메모리 셀들로 기입할 데이터들을 기입 데이터 라인들(WRITE_DL<16:0>)로 전달한다. 데이터 입출력 버퍼(380)는 독출 동작시 센스 앰프(360)에서 감지 증폭된 데이터들을 외부 데이터(DATA<15:0>)로 내보내고, 기입 동작시 외부 데이터(DATA<15:0>)를 기입 드라이버(370)로 전송한다.

<18> 독출 어드레스 버퍼(390)는 독출 동작시 어드레스 신호들(A<21:0>)을 입력하여 독출 어드레스 신호들(AR<21:0>)을 발생한다. 기입 어드레스 버퍼(400)는 기입 동작시 어드레스 신호들(A<21:0>)을 입력하여 기입 어드레스 신호들(AW<21:0>)을 발생한다. 독출 뱅크 선택부(410)는 독출 어드레스 신호들(AR<21:0>)에 응답하여 독출 뱅크 선택 신호(READ_BANK_SEL<15:0>)를 발생한다. 기입 뱅크 선택부(420)는 기입 어드레스 신호들(AW<21:0>)에 응답하여 기입 뱅크 선택 신호(WRITE_BANK_SEL<15:0>)를 발생한다. 독출 뱅크 선택 신호(READ_BANK_SEL<15:0>)와 기입 뱅크 선택 신호(WRITE_BANK_SEL<15:0>) 각각은 독출 동작과 기입 동작시 뱅크들(301, 302, 303, 304) 중 하나의 뱅크를 선택한다. 기입 제어부(430)는 기입 동작을 제어하는 기입 제어 신호(WR_CNTL)를 발생하고, 뱅크 비지 발생부(440)는 기입 제어 신호(WR_CNTL)에 응답하여 각 뱅크들(301, 302, 303, 304)의

독출 또는 기입 동작을 제어하는 뱅크 비지 신호(BANKBUSY<15:0>)를 발생한다. 예를 들어, 뱅크 비지 신호(BANKBUSY<15:0>)가 하이레벨인 뱅크는 기입 동작을 수행하고, 뱅크 비지 신호(BANKBUSY<15:0>)가 로우레벨인 뱅크는 독출 동작을 수행한다.

<19> 이러한 플래쉬 메모리 장치(300)의 동작을 살펴보면 다음과 같다. 16개의 뱅크들(301, 302, 303, 304) 중에서 하나의 뱅크, 예컨대 제1 뱅크(301)를 선택하여 제1 뱅크(301)의 독출 동작과 기입 동작을 예로써 설명한다. 먼저, 정상적인 독출 동작을 살펴보면, 어드레스 신호들(A<21:0>)을 입력하는 독출 어드레스 버퍼(390)를 통해 독출 어드레스 신호들(AR<21:0>)이 발생된다. 독출 어드레스 신호들(AR<21:18>)은 독출 뱅크 선택부(410)로 입력되어 제1 독출 뱅크 선택 신호(READ_BANK_SEL<0>)가 발생된다. 이 때, 뱅크 비지 발생부(440)는 기입 제어부(430)에서 발생하는 기입 제어 신호(WR_CNTL)에 응답하여 로우레벨의 뱅크 비지 신호(BANKBUSY<0>)를 발생하여 제1 뱅크(301)가 독출 동작에 있음을 지시한다. 이에 따라, 제1 뱅크(301)는 독출 어드레스 신호들(AR<17:6>)을 입력하는 독출용 로우 디코더(311)와 독출 어드레스 신호들(AR<5:0>)을 입력하는 독출용 칼럼 디코더(331)에 의해 선택되는 메모리 셀들의 데이터들을 독출 데이터 라인(READ_DL<15:0>)으로 내보낸다. 독출 데이터 라인(READ_DL<15:0>)으로 실리는 데이터들은 센스 앰프(360)와 데이터 입출력 버퍼(380)를 통해 데이터 입출력 신호(DATA<15:0>)로 출력된다.

<20> 한편, 제1 뱅크(301)의 독출 동작시 불량 셀들이 존재한다면, 제1 뱅크(301) 내 불량 셀들의 어드레스들이 독출 리턴던시 저장 장치(351)에 독출 리턴던시 정보로 저장된다. 만약, 독출 어드레스 신호들(AR<21:0>)가 불량 셀을 어드레싱하게 되면, 플래쉬 메모리 장치(300)는 독출 리턴던시 저장 장치(351)에 저장된 독출 리턴던시 정보에 따라

독출 리페어 제어 신호(READ_IO_REPAIR<15:0>)를 발생한다. 독출 리페어 제어 신호(READ_IO_REPAIR<15:0>)에 의해 리턴던시 메모리 셀 데이터는 독출 데이터 라인(READ_DL<16>)을 통해 센스 앰프(360)와 데이터 입출력 버퍼(380)와 연결되고 데이터 입출력 신호(DATA<15:0>)로 출력된다.

<21> 다음으로, 정상적인 기입 동작을 살펴보면, 어드레스 신호들(A<21:0>)을 입력하는 기입 어드레스 버퍼(400)를 통해 기입 어드레스 신호들(AW<21:0>)이 발생된다. 기입 어드레스 신호들(AW<21:18>)은 기입 뱅크 선택부(420)로 입력되어 제1 기입 뱅크 선택 신호(WRITE_BANK_SEL<0>)가 발생된다. 이 때, 뱅크 비지 발생부(440)는 기입 제어부(430)에서 발생하는 기입 제어 신호(WR_CNTL)에 응답하여 하이레벨의 뱅크 비지 신호(BANKBUSY<0>)를 발생하여 제1 뱅크(301)가 기입 동작에 있음을 알린다. 데이터 입출력 신호(DATA<15:0>)로 입력되는 데이터들이 데이터 입출력 버퍼(380)와 기입 드라이버(370)를 통해 기입 데이터 라인(WRITE_DL<15:0>)으로 실린다. 제1 뱅크(301)는 기입 어드레스 신호들(AW<17:6>)을 입력하는 기입용 로우 디코더(321)와 기입 어드레스 신호들(AW<5:0>)을 입력하는 기입용 칼럼 디코더(341)에 의해 선택되는 메모리 셀들로 기입 데이터 라인(WRITE_DL<15:0>) 상의 데이터들을 기입한다.

<22> 제1 뱅크(301)의 기입 동작시 불량 셀들이 존재한다면, 제1 뱅크(301) 내 불량 셀들의 어드레스들이 기입 리턴던시 저장 장치(352)에 기입 리턴던시 정보로 저장된다. 만약, 기입 어드레스 신호(AW<21:0>)가 불량 셀을 어드레싱하게 되면, 기입 리턴던시 저장 장치(352)의 기입 리턴던시 정보에 의해 발생하는 기입 리페어 제어 신호(WRITE_IO_REPAIR<15:0>)는 리턴던시 메모리 셀로 기입 데이터 라인(WRITE_DL<16>) 상의 데이터를 기입한다.

<23> 이와 같은 플래쉬 메모리 장치(300)는 종래의 기술처럼 불량 셀들을 구제하는 리던던시 저장 장치를 각각의 뱅크에 따로 구비하는 것이 아니라, 각각의 뱅크를 구분하지 않고 독출 동작시 또는 기입 동작시 발생하는 불량 셀들을 독출 리던던시 저장 장치(351)와 기입 리던던시 저장 장치(352)를 통해 구제한다. 이는 제1 뱅크(301)에서 발생된 불량 셀들의 수가 나머지 뱅크들(302, 303, 304)에 비해 월등히 많이 발생한 경우에도 2의 종래의 기술은 제1 뱅크(201) 내 한정된 리던던시 저장 장치를 다 사용하고도 구제되지 못한 불량 셀이 남아있는 경우 플래쉬 메모리 장치를 불량품 처리해야 하지만, 본 발명의 플래쉬 메모리 장치(300)는 제1 뱅크(301)의 불량 셀들을 자유롭게 독출 리던던시 저장 장치(351)와 기입 리던던시 저장 장치(352)에서 구제할 수 있다. 물론, 내장된 독출 리던던시 정보 갯수와 기입 리던던시 정보 갯수 이상의 불량 셀에 대해서는 구제가 불가능하지만, 종래의 기술에 비해 훨씬 리던던시 구제율이 높다. 그리고, 본 발명의 플래쉬 메모리 장치(300)는 리던던시 저장 장치를 각각의 뱅크에 따로 구비할 필요가 없기 때문에, 플래쉬 메모리 장치의 면적을 줄이는 잇점이 있다.

<24> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 본 발명의 실시예들이 플래쉬 메모리 장치에 대하여 기술하고 있지만, 플래쉬 메모리 장치 이외의 메모리 장치들에도 적용될 수 있음은 물론이다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<25> 상술한 본 발명의 메모리 장치는 각각의 뱅크 마다 리던던시 저장 장치를 둘 필요가 없기 때문에 메모리 장치의 칩 면적을 줄인다. 또한, 메모리 장치는 독출 동작시 발

생한 불량 셀들을 독출 리던던시 저장 정보 장치를 통해, 그리고 기입 동작시 발생한 불량 셀들을 기입 리던던시 저장 정보 장치를 통해 구제하기 때문에, 리던던시 구제율이 높다.

【특허청구범위】**【청구항 1】**

복수개의 메모리 셀들이 행들 및 열들로 배열되는 다수개의 뱅크들;

상기 뱅크들 각각에, 독출 동작시 상기 메모리 셀들의 워드라인들과 비트라인들을 선택하는 독출용 로우 디코더와 독출용 칼럼 디코더;

상기 뱅크들 각각에, 기입 동작시 상기 메모리 셀들의 상기 워드라인들과 상기 비트라인들을 선택하는 기입용 로우 디코더와 기입용 칼럼 디코더;

기입 제어 신호에 응답하여 상기 뱅크들 각각의 상기 독출 동작과 상기 기입 동작을 지시하는 뱅크 비지 신호를 발생하는 뱅크 비지 발생부;

상기 뱅크들의 독출 동작시 나타나는 불량 셀들의 어드레스 정보를 독출 리턴던시 정보로 저장하는 독출 리턴던시 정보 저장 장치; 및

상기 뱅크들의 기입 동작시 나타나는 불량 셀들의 어드레스 정보를 기입 리턴던시 정보로 저장하는 기입 리턴던시 정보 저장 장치를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 반도체 메모리 장치는

상기 독출 동작시, 어드레스 신호들을 입력하여 독출 어드레스 신호들을 발생하는 독출 어드레스 버퍼;

상기 기입 동작시, 상기 어드레스 신호들을 입력하여 기입 어드레스 신호들을 발생하는 기입 어드레스 버퍼;

상기 독출 어드레스 신호에 응답하여 상기 बैं크들 중 하나를 선택하는 독출 बैं크 선택부; 및

상기 기입 어드레스 신호에 응답하여 상기 बैं크들 중 하나를 선택하는 기입 बैं크 선택부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제2항에 있어서, 상기 반도체 메모리 장치는

상기 독출 동작시 선택된 상기 बैं크 내 메모리 셀 데이터를 감지증폭하는 센스 앰프;

상기 기입 동작시 선택된 상기 बैं크 내 메모리 셀로 기입할 데이터를 전달하는 기입 드라이버; 및

상기 센스 앰프의 출력을 데이터 입출력 핀으로 전송하고, 상기 데이터 입출력 핀으로 입력되는 데이터를 상기 기입 드라이버로 전송하는 데이터 입출력 버퍼를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

【도 1】

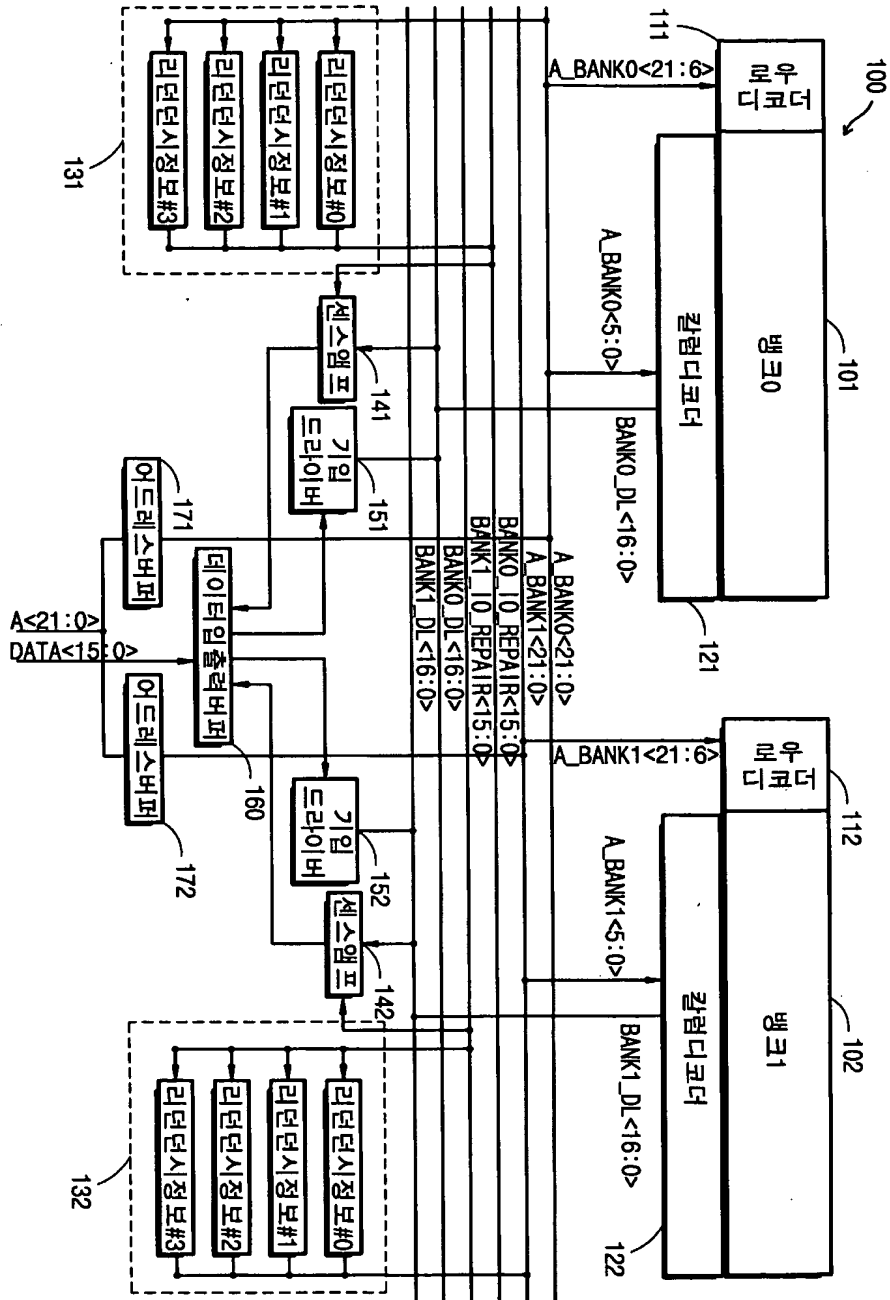
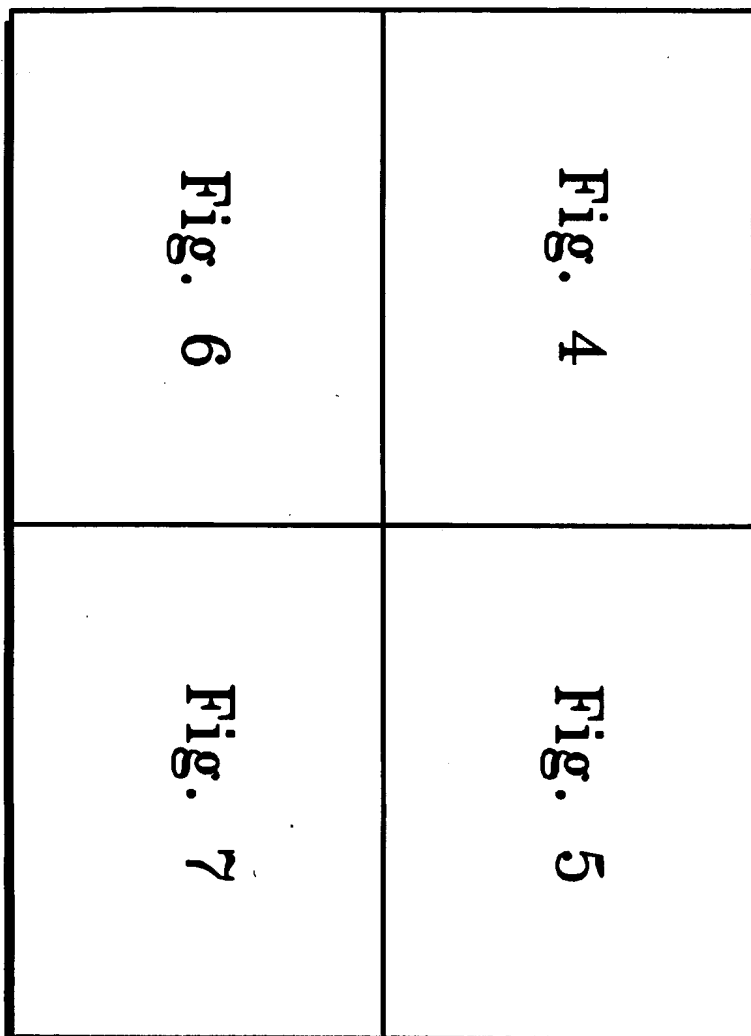
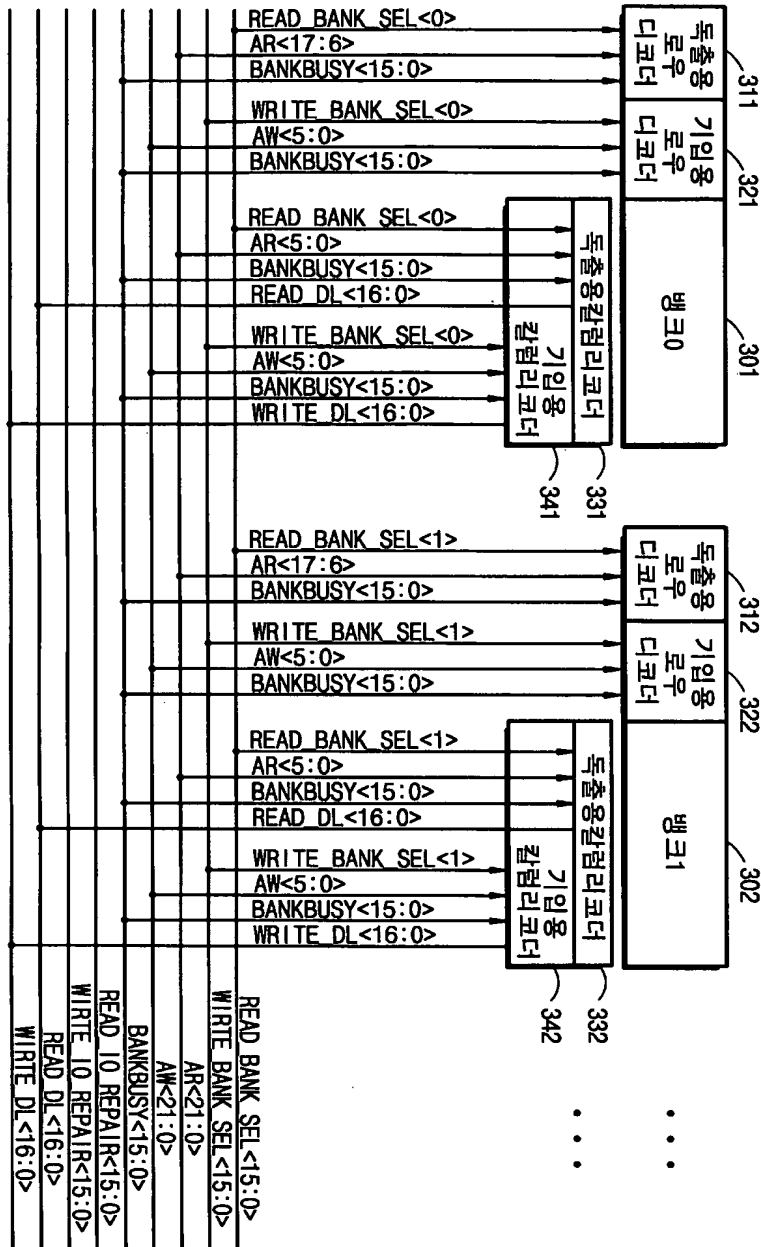


Figure 1 is a block diagram of a memory system 200. The system includes multiple memory banks (Bank 0, Bank 1, ..., Bank 14, Bank 15) and a data output buffer. Each bank has a 'Bank0_DL <16:0>' signal and a 'Bank14_DL <16:0>' signal. The system also includes a '센스앰프' (Sense Amplifier) and '기입드라이버' (Write Driver) blocks. The data output buffer is connected to the '데이터 인출력 버퍼' (Data Output Buffer). The system is divided into four sections: 231, 232, 233, and 234, each containing an '어드레스버퍼' (Address Buffer). The system is connected to a 'DATA <15:0>' bus.

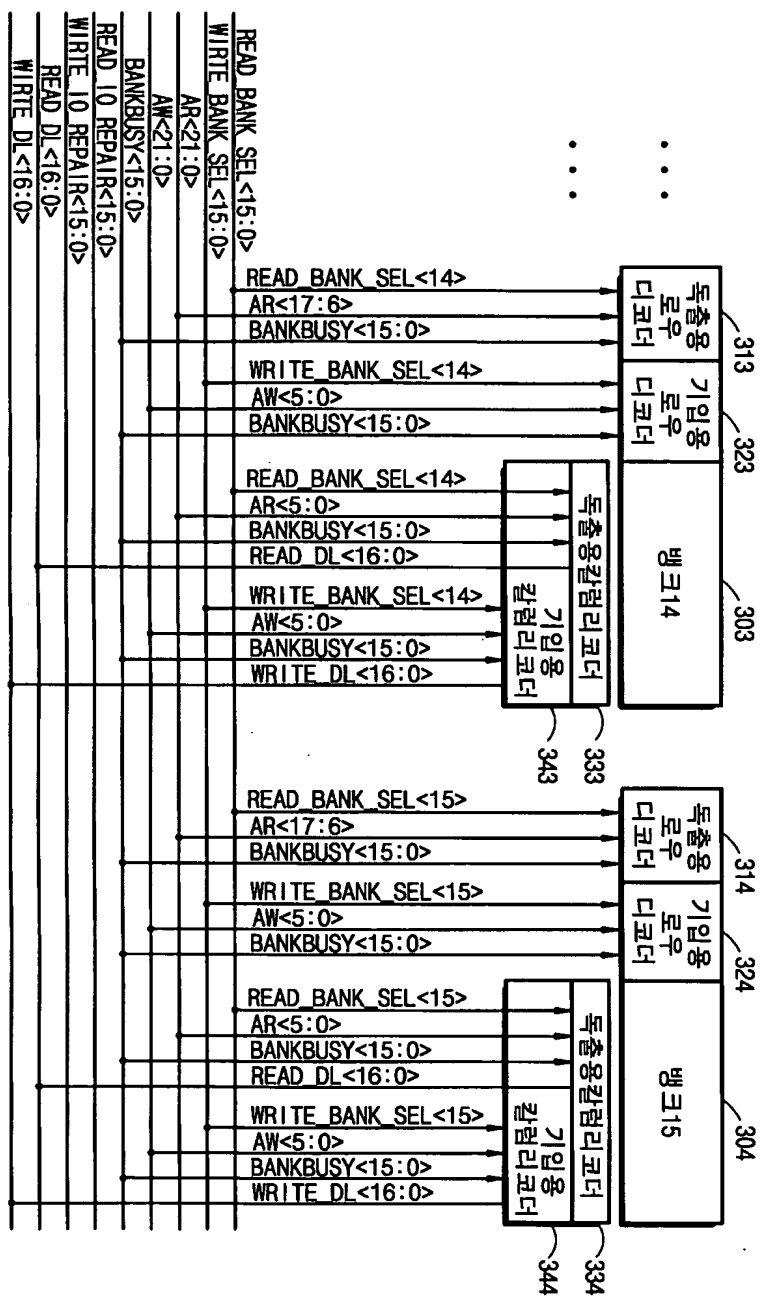
【도 3】



【도 4】



【도 5】



【도 7】

